



GR 98 P 4137 P

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Hans-Jürgen Hacke et al.
Applic. No. : 09/761,594
Filed : January 16, 2001
Title : Semiconductor Device in Chip Format and
Method for Producing It
Examiner : John T. Haran
Group Art Unit : 1733

RECEIVED
APR 23 2003
TC 1700

DECLARATION under 37 C.F.R. § 1.131

The undersigned Jürgen GANALSKI (Name) hereby declares:

The invention of the above-identified application was "reduced to practice" before July 6, 1998.

The undersigned Jürgen GANALSKI (Name) personally wrote or supervised the writing of the patent application during the time from 17.02.1998 - when the invention disclosure was first received in the SIEMENS ZITAJU Patent Department/Law Firm - to July 14, 1998 - when the patent application DE 198 32 706.4 whose filing date is claimed as a priority date in the instant application, was filed at the German Patent Office.

Enclosed, as corroborating evidence is the Invention
Declaration/Disclosure (Erfindungsmeldung) signed by the
Inventor(s) and dated 26.01.1998.
received 30.01.1998

The undersigned declares that all statements made herein of
his own knowledge are true and that all statements made on
information and belief are believed to be true, and further
that these statements were made with the knowledge that
willful false statements and the like so made are punishable
by fine or imprisonment, or both, under 18 U.S.C. § 1001 and
such willful false statements may jeopardize the validity of
the application or any patent issued thereon.

J. Gamaliki

Date: Feb. 10, 2003

ZT ME

V rtraulich! An Siemens AG bzw. Beteiligungsgesellschaft	ERFINDUNGSMELDUNG Bitte verschl üssen weitersenden! Bereits vorab an ZT PA übermittelt per FAX <input type="checkbox"/> Wenn ja - bitte u n b e d i n g t ankreuzen!	Aktenzeichen der PA 98 E 4 0 3 3 DE 98 P 4 1 3 7
Ich/Wir (Vor- und Nachname der/des Erfinder[s] - weitere Angaben und Unterschrift[en] letzte Seite) Hans-Jürgen Hacke, Klaus-Peter Galuschki	Anzahl der Erfinder: 2	Datum der Ausfertigung: 26.1.98

melde[n] hiermit die auf den folgenden Seiten vollständig beschriebene Erfindung mit der Bezeichnung:
 Verfahren zum Herstellen von Chip-Size-Packages auf Waferebene

I. An Vorgesetzten der/des Erfinder[s]

Herrn/Frau Gamalski

ZT ME 6
 (Dienststelle)

mit der Bitte, die nachstehenden Fragen zu beantworten:

a) Wann ging die Erfindungsmeldung bei Ihnen ein? →

b) Geht die Erfindung auf öffentlich geförderte Arbeiten zurück?

☒ nein ☐ ja, Vorhaben:

Ab Eingang läuft gesetzliche Frist!

c) Gibt es ein zugehöriges internes FuE-Projekt?

☐ nein ☒ ja, Projekt: Innovative Montageverfahren

Nur bei ZT-Erfindungen auszufüllen:

Projekt-Nr. K1R Titel: Innovative Montageverfahren

Kerntechnologie: _____

☒ Entwicklungsprojekt
☐ Forschungsprojekt

im Interesse von Bereich: _____

Ansprechpartner: _____

d) Anmeldung wird empfohlen

☐ nein

☒ ja

Dringlichkeitsvermerk

Kosten trägt (Organisationseinheit): HL

☐ Die Erfindung betrifft nicht unser Interessengebiet. Es sind noch folgende Dienststellen zu befragen:

2.2.98
 (Datum)

Gamalski
 (Unterschrift des Vorgesetzten)

II. Bitte wegen gesetzlicher Frist sofort weiterleiten

An
 ZT PA (Patentabteilung)

Standort: _____
 (z.B.: Mch/M, Er/S, Bin/N, Khe/R)

zur weiteren Veranlassung.

Eingang am:

ZT PA Bin Eing.: 17. FEB. 1998 GR

1. Welches technische Problem soll durch Ihre Erfindung gelöst werden?
2. Wie wurde dieses Problem bisher gelöst?
3. In welcher Weise löst Ihre Erfindung das angegebene technische Problem (geben Sie Vorteil an)?
4. Worin liegt der erfinderische Schritt?
5. Ausführungsbeispiel(e) der Erfindung

zu 1.: Bauformen integrierter Schaltungen, die nur unwesentlich größere, bzw. gleiche Dimensionen wie die integrierte Schaltung haben, werden Chip-Size- oder Chip-Scale-Packages genannt. Dabei wird das feine Anschlußraster des IC durch Zwischenträger auf größere Abstände transformiert und mit lötfähigen Anschlüssen in Form von Lotkugeln oder Metallbändchen versehen. Der Zwischenträger hat weiterhin die Aufgabe, den infolge unterschiedlicher thermischer Ausdehnungskoeffizienten von Silizium und z.B. Leiterplattenmaterial der Flachbaugruppe resultierenden mechanischen Stress aufzunehmen und von den Verbindungsstellen fernzuhalten. Im SMD-Montageprozeß können diese Packages normal weiterverarbeitet werden. Die Herstellung dieser Packages kann auf Waferlevel, d.h. für alle Chips eines Wafers gleichzeitig, oder in Einzelfertigung erfolgen. Das erfindungsgemäße Verfahren bezieht sich auf die Herstellung von Chip-Size-Packages auf Waferebene.

zu 2.: Bisher kommen vorzugsweise Verfahren der Einzelherstellung zum Einsatz. Das vereinzelte Chip wird auf einem Zwischenträger befestigt und mit den Außenanschlüssen verbunden. Der Zwischenträger kann von unterschiedlicher Art (starr, flexibel, Leadframe) sein. Zur elektrischen Verbindung von Zwischenträger und Chipanschlüssen kommen ebenfalls verschiedene Verfahren (Draht-, Flip-Chip- oder TAB-Kontaktierung) zum Einsatz. Die Außenanschlüssen des Gehäuses bestehen vorzugsweise aus Lotkugeln. Im Falle von Leadframeträgern bestehen die Anschlüsse aus lötfähigen Metallbändchen. Eine wesentliche Reduzierung der Herstellungskosten ist nur noch durch die gleichzeitige Bearbeitung der Chips im Wafervverbund möglich.

Ein Verfahren bedient sich z.B. der Dünnschichttechnik zur Herstellung der Umverdrahtung wobei abwechselnd Dielektrika und Metallschichten abgeschieden und strukturiert werden.

Ein anderes kapselt die Chips im Scheibenformat zwischen zwei Glasplatten und führt die angeschnittenen und in Dünnschichttechnik kontaktierten Anschlüsse auf die Gehäuserückseite. Es ist auch ein Verfahren bekannt, bei dem vorgefertigte flexible Strukturen auf den Wafer geklebt und dort mit den Chipanschlüssen kontaktiert werden.

zu 3.: Das erfindungsgemäße Verfahren betrifft die Herstellung von Chip-Size-Packages auf Waferebene. Es verwendet die Dünnschichttechnik zur einfachen und kostengünstigen Transformation des feinen Chipanschlußrasters auf größere, SMD-taugliche Raster sowie zur einfachen (simultanen) Kontaktierung der Chipanschlüsse. Die Dünnschichtmetallisierung transformiert außerdem die nur drahtbondbare Aluminiummetallisierung der Chips in ein löt- bzw. klebgeeignetes Schichtsystem. Das nachfolgend aufzubringende Dielektrikum unterstützt die mechanische Entkopplung von Chip und späterem Substrat. Es schafft Distanz zwischen Chip und Substrat. Das Dielektrikum kann mit einfachen, kostengünstigen Verfahren aufgebracht und strukturiert werden. Das Dielektrikum dient außerdem als Schablone zum Einraken leitfähigen Materials. Dieses leitfähige Material besteht vorzugsweise aus Leitkleber, jedoch ist ebenfalls die Verwendung von Lotpaste möglich. In den nicht ausgehärteten Leitkleber, bzw. die nasse Lotpaste, werden vorzugsweise metallisierte Kunststoffkugeln gesetzt. Anschließend wird der Kleber ausgehärtet, bzw. die Paste umgeschmolzen. Dieser Aufbau ermöglicht eine hervorragende mechanische Entkopplung. Zunächst wird durch das Dielektrikum ein großer Abstand zwischen Chip und Kunststoffkugel erreicht. Der Leitkleber und die Kunststoffkugel verfügen außerdem über wesentlich bessere elastische Eigenschaften als vergleichbare Lösungen, die vollständig aus Lotmaterial realisiert sind. Die elastische Verbindungselemente besitzen außerdem ein wesentlich besseres Alterungsverhalten bei mechanischer Wechsellast. Der zusätzliche Einsatz von Underfiller aus Zuverlässigkeitsgründen ist nicht erforderlich.

zu 4.: Der erfinderische Schritt liegt in der Kombination von Dünnschichttechnik und Applikation einer dickeren dielektrischen Schicht auf Waferebene zur Kostenreduzierung sowie im Einsatz von Abstandshalter (dielektrische Schicht) und elektrisch leitfähig n, elastischen Verbindungselementen (Leitkleber und metallisierte Kunststoffkugel).

zu 5.: siehe 6.

6. Zur weiteren Erläuterung sind als Anlagen beigefügt:

<u>3</u>	Blatt der Darstellung eines oder mehrerer Ausführungsbeispiele der Erfindung;
<u>0</u>	Blatt zusätzliche Beschreibungen (z.B. Laborberichte, Versuchsprotokolle);
<u>44</u>	Blatt Literatur, die den Stand der Technik, von dem die Erfindung ausgeht, beschreibt; *)
<u>1</u>	sonstige Unterlagen (z.B. Disketten, insbesondere mit Zeichnungen der Ausführungsbeispiele);

*) Bitte Fotokopien oder Sonderdrucke aller zitierten Veröffentlichungen (Aufsätze vollständig; bei Büchern die relevanten Kapitel) mit vollständigen bibliographischen Daten beifügen.

7. Welche Dienststellen sind an der Erfindung interessiert? ZT, HL
8. Wurde die Erfindung bereits erprobt (Durchführung von Versuchen, Anfertigung von Mustern)?
☒ nein ☐ ja, Ergebnis: _____
9. Für welche Erzeugnisse ist die Erfindung anwendbar? Halbleiterbauelemente
10. Ist die Anwendung der Erfindung vorgesehen?
☐ nein ☐ ja, bei: abhängig vom Erprobungsergebnis
11. Ist ein auf der Erfindung beruhendes Erzeugnis geliefert oder ist eine Lieferung beabsichtigt?
☐ nein ☐ ja, (voraussichtlich) am _____; Bezeichnung des Erzeugnisses: s. Pkt. 10.
12. Ist eine Veröffentlichung der Erfindung beabsichtigt oder bereits erfolgt?
☐ nein ☐ ja, (voraussichtlich) am _____ in Buch, Zeitschrift: s. Pkt. 10.
13. Ist eine Mitteilung der Erfindung an Firmenfremde beabsichtigt oder bereits erfolgt?
☒ nein ☐ ja, (voraussichtlich) am _____ an _____
14. Es wird gebeten, soweit möglich, die folgenden Kriterien abzuschätzen:
- a Umgehungsschwierigkeit**
- ☐ Umgehungslösung bekannt oder leicht realisierbar
 - ☐ ... mit geringerem Aufwand in kurzer Zeit realisierbar
 - ☒ ... erfordert erheblichen Entwicklungs- oder technischen Aufwand
 - ☐ ... sind wirtschaftlich nicht vertretbar
 - ☐ Schutzrecht nicht umgehbar, Grundsatzpatent, „Standard“
- b Bedeutung für die Konkurrenz**
- ☐ Schutzrecht interessiert kaum
 - ☐ Interesse möglich
 - ☒ Interesse wahrscheinlich
 - ☐ große Bedeutung (Benutzung notwendig, Standard)
- c Nachweismöglichkeit einer Verletzung**
- ☐ Nachweis nicht möglich
 - ☐ Nachweis schwierig und sehr teuer
 - ☐ Nachweis nur mit mittlerem Aufwand möglich
 - ☒ Nachweis einfach (z.B. am Erzeugnis sichtbar, nicht umgehbarer Standard)
- d Bedeutung für laufende und geplante eigene Produkte**
 (technische, funktionelle oder wirtschaftliche Verbesserung)
- ☒ keine oder minimale Verbesserung
 - ☐ geringe Verbesserung
 - ☐ mittlere Verbesserung
 - ☐ große oder sehr große Verbesserung
- e Bedeutung für langfristig realisierbare Produkte**
- ☐ keine oder minimale Verbesserung
 - ☐ geringe Verbesserung
 - ☐ mittlere Verbesserung
 - ☒ große oder sehr große Verbesserung
- f Benutzung (eigene)**
- ☒ sicher nicht bei ZT
 - ☐ weniger wahrscheinlich
 - ☐ wahrscheinlich
 - ☐ fest geplant
- g Sonstiges** Standardisierung von CSP ist in Vorbereitung (s. Anlage 2)
 Weitere Hinweise oder nähere Angaben zu Standards, zur zukünftigen Bedeutung, zur Relevanz für einzelne Länder usw. _____
- h Marktvolumen** In 2001: 12 Bn pieces of CSP; 0.9-1.2 cent/IO; 50 IO; nach BPA → 600 Mio \$/2001
 Die Summe der zu erwartenden weltweiten Umsätze auf dem von der Erfindung betroffenen technischen Gebiet. _____



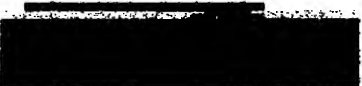



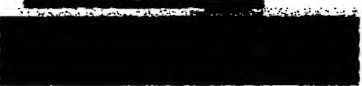
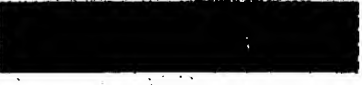
15. Angaben zur Person des/der Erfinder[s] (Erfinder 1 - 4 hier eintragen. Für weitere Erfinder bitte Zusatzblatt beifügen): 98 E 4 0 3 3 01


Name	Hacke	Galuschki		
Geburtsname				
Vorname	Hans-Jürgen	Klaus-Peter		
akad. Grad/Titel/Beruf	Dipl.-Ing.	Dr.-Ing.		
zum Zeitpkt. der Erfindung: Werkstud./Diplomand/Doktorand?	ja <input type="checkbox"/> bitte Vertrag beifügen	ja <input type="checkbox"/> bitte Vertrag beifügen	ja <input type="checkbox"/> bitte Vertrag beifügen	ja <input type="checkbox"/> bitte Vertrag beifügen
Tätigkeit/Stellung im Betrieb (z.B. Laborvorsteher u.ä.)	Projektleiter	Projektleiter		
Arbeitgeber falls nicht Siemens AG				
Bereich	ZT	ZT		
Abteilung	ME6	ME6		
Standort	Mch P	Bin S		
Telefon (Amt)	45060	25598		
Telefax (Amt)	48555	26843		
E-Mail				
Staatsangehörigkeit	deutsch	deutsch		
Privatanschrift				
Straße, Haus-Nr.	Makojaweg 7	Schulzendorfer Str. 94		
Postleitzahl, Wohnort	81475 München	12526 Berlin		
Geburtsdatum	23.3.38	10.5.61		
Abrechnende Personaldienststelle (der APD-Nr. *)	160-044474	160-247742		
Personalnummer *)				
Ist dies Ihre 1. Erfindung?	<input type="checkbox"/> ja	<input type="checkbox"/> ja	<input type="checkbox"/> ja	<input type="checkbox"/> ja
16. Liegt die Erfindung auf a) Ihrem Arbeitsgebiet? b) einem anderen Arbeitsgebiet Ihres Arbeitgebers?	<input checked="" type="checkbox"/> ja <input type="checkbox"/> nein <input type="checkbox"/> ja <input type="checkbox"/> nein	<input checked="" type="checkbox"/> ja <input type="checkbox"/> nein <input type="checkbox"/> ja <input type="checkbox"/> nein	<input type="checkbox"/> ja <input type="checkbox"/> nein <input type="checkbox"/> ja <input type="checkbox"/> nein	<input type="checkbox"/> ja <input type="checkbox"/> nein <input type="checkbox"/> ja <input type="checkbox"/> nein
17. Welchen Anteil an der Erfindung haben Sie?	50 %	50 %	%	%
18. Wurde oder wird die Erfindung auch als VV gemeldet?	<input type="checkbox"/> ja <input checked="" type="checkbox"/> nein	<input type="checkbox"/> ja <input checked="" type="checkbox"/> nein	<input type="checkbox"/> ja <input type="checkbox"/> nein	<input type="checkbox"/> ja <input type="checkbox"/> nein
19. Falls Sie die Erfindung als freie Erfindung ansehen, bitte begründen:	76017	324256		
20. Meines/unseres Wissens sind keine weiteren Personen an der Erfindung beteiligt.	26.1.98 Hacke (Unterschrift)	27.1.98 Galuschki (Unterschrift)		

*) Bitte aus Firmenausweis oder Gehaltsabrechnung entnehmen

Zu 6.) Ausfilmungsbeispiel

Prozeßtechnologie für Low-Cost CSP im Waferlevel

Nr.	Zeichnung	Prozeßschritte	Anmerkungen
1		<ul style="list-style-type: none"> • Wafer im Ausgangszustand 	<ul style="list-style-type: none"> • freiliegende Aluminiumbondpads mit Chippassivierung abgedeckt
2		<ul style="list-style-type: none"> • Aufbringen einer Dünnschichtmetallisierung • evtl. galvanische Verstärkung 	<ul style="list-style-type: none"> • Dünnschichtmetallisierung als Mehrschichtsystem wie bei UBM • Funktion der Kontaktierung der Al-Pads und Transformation auf lötl- und klebgeeignete Metallisierung
3		<ul style="list-style-type: none"> • Strukturieren der Dünnschichtmetallisierung 	<ul style="list-style-type: none"> • Transformation des Bondpadrasters auf leichter handhabbare, gröbere Struktur
4		<ul style="list-style-type: none"> • Aufbringen der Dünnschichtpassivierung 	<ul style="list-style-type: none"> • Abdeckung der UBM bzw. Schutz der Chippassivierung
5		<ul style="list-style-type: none"> • Öffnen der Passivierung für Bauteilanschluß 	<ul style="list-style-type: none"> • phototechnisch oder Laser • läßt sich evtl. mit dem übernächsten Schritt gemeinsam realisieren
6		<ul style="list-style-type: none"> • Aufbringen eines dicken Dielektrikums 	<ul style="list-style-type: none"> • Aufbringen durch Siebdrucken, Schleudern oder Auflaminieren • evtl. Auflaminieren eines gelochten Films
7		<ul style="list-style-type: none"> • Öffnen des Dielektrikums für Bauteilanschluß 	<ul style="list-style-type: none"> • phototechnisch oder Laser • evtl. Öffnung bereits durch Siebdruck oder gelochten Films vorhanden
8		<ul style="list-style-type: none"> • Füllen der Anschlußöffnung mit leitfähigem Material 	<ul style="list-style-type: none"> • Einrakeln von leitfähigem Material • evtl. kann Dielektrikum als Schablone dienen • Material kann aus Lotpaste oder Leitleber bestehen

9		<ul style="list-style-type: none"> • Einsetzen von Balls in leitfähige Material • Aushärten bzw. Umschmelzen des leitfähigen Materials • bei Verwendung von Lotpaste ist Reinigung erforderlich 	<ul style="list-style-type: none"> • Balls können aus Lot, oder beschichtetem Metall bzw. vorzugsweise metallisiertem Kunststoff bestehen
---	---	--	--